
Familles de circuits intégrés logiques

« Les familles me font peur. »

Georges Bernanos in « Journal d'un curé de campagne ».

I. Présentation - Généralités

Il n'est nul besoin de connaître de la manière la plus approfondie la structure interne d'un composant pour pouvoir le mettre en œuvre de façon efficace, les notices techniques délivrent toutes les informations nécessaires à la meilleure mise en œuvre. Mais si on désire appréhender le comportement exact d'une porte logique, l'observation externe n'est plus de mise : il faut entrer au cœur de la structure pour comprendre le fonctionnement.

L'objet de ce document est d'analyser les technologies des circuits intégrés les plus utilisées, regroupées au sein de **familles logiques**.

Les aspects externes (tensions et courants d'entrée aux divers niveaux logiques) avaient déjà été évoqués dans le document « **Caractéristiques des circuits intégrés logiques** ». Les éléments présentés ici permettent de justifier les valeurs rencontrées.

I.1. Les technologies en présence

Une **famille de circuits logiques** intégrés regroupe un ensemble d'éléments réalisant chacun une fonction logique élémentaire ou un système logique plus ou moins complexe, mais **bâti sur des principes de base communs**. Ceci leur permet de pouvoir être associés au sein d'une même famille en respectant un comportement commun, c'est la **compatibilité**.

Au cours du développement industriel des circuits intégrés, plusieurs familles se sont succédées, chacune ayant sa structure propre. Initialement la famille DTL, abréviation de *Diode-Transistor Logic*, permettait de réaliser simplement une porte NAND. Des modifications complémentaires, notamment le remplacement des diodes d'entrée par un transistor multi-émetteur, ont abouti à la structure de base de la famille TTL, abréviation de *Transistor-Transistor Logic*.

La famille TTL, réalisée en technologie bipolaire, a acquis une position dominante pour les applications courantes jusqu'à l'apparition des circuits CMOS (*Complementary Metal Oxide Semiconductor*), issus d'une technologie plus récente à base de transistors MOS.

Pour des applications requérant une grande rapidité, la famille ECL (*Emitter Coupled Logic*), s'avère la plus performante. Elle est simplement citée mais ne sera pas étudiée dans ce document.

I.2. Rappels sur le transistor bipolaire

Les éléments de présentation du transistor bipolaire sont objet du document « **L'essentiel sur le transistor bipolaire** ». Le fonctionnement logique ne requérant que le comportement non linéaire ou saturé-bloqué du transistor.

I.3. Rappels sur le transistor MOS

Les éléments de présentation du transistor MOS sont objet du document « **L'essentiel sur le transistor MOS** ». Ici aussi, seul le comportement non linéaire est retenu.

II. Les familles TTL

II.1. Structure DTL

Pour comprendre le fonctionnement de la technologie TTL, on peut s'intéresser au fonctionnement de la structure DTL (*Diode-Transistor Logic*) de la porte NAND à deux entrées décrit à l'annexe 1.

II.2. Structure TTL

La structure TTL remplace les diodes d'entrée par un transistor multi-émetteur comme l'indique la *Figure 1*. L'étage de sortie, appelé *totem pole* (*Figure 2*), améliore les commutations de la sortie et la stabilité des niveaux logiques.

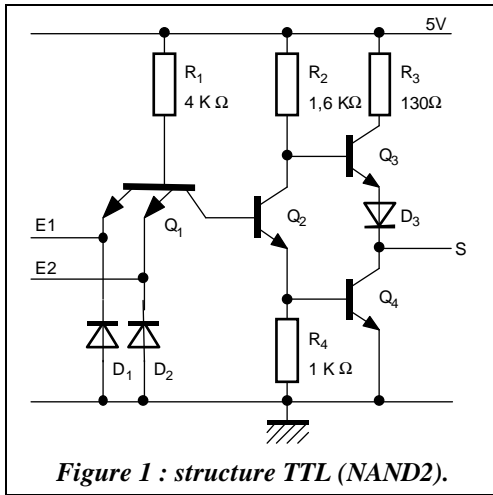


Figure 1 : structure TTL (NAND2).

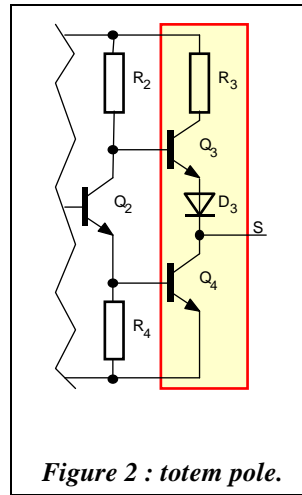


Figure 2 : totem pole.

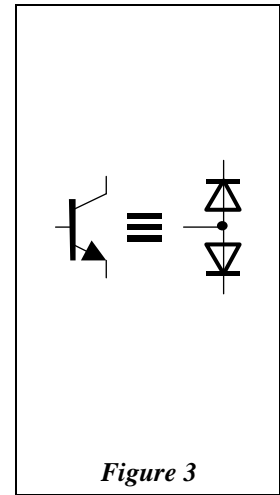


Figure 3

II.3. Etude de la structure TTL

Pour étudier la structure TTL, on remplace le transistor multi-émetteur par son équivalent à diodes (Figure 3). On obtient une structure dont l'étude présentée à l'annexe 2 se rapproche de la DTL.

II.4. Les variantes

II.4.1. Technologie TTL standard

La technologie TTL dite standard est celle décrite dans les paragraphes §II.2. et §II.3. Elle correspond au principe de base de la technologie TTL. Cette structure est peu rapide pour une consommation élevée.

Chacun des défauts est réglé par une variante technologique qui conduit à d'autres familles TTL.

II.4.2. Technologie TTL L

Première amélioration : la consommation. Dans ce cas les circuits de faible consommation répondent à la dénomination de TTL L (L pour *Low power*). La structure identique à la TTL standard fait appel à des valeurs de résistances plus élevées. La consommation est évidemment réduite mais c'est au détriment des temps de propagation qui s'allongent.

Cette technologie était très employée il y a une quinzaine d'années lorsqu'il fallait diminuer la consommation.

II.4.3. Technologie TTL S

La diode Schottky¹ possède la propriété de limiter l'accumulation des porteurs de charges lors des commutations. Les temps de changement d'état (passant-bloqué et bloqué-passant) s'en trouvent donc fortement diminués. Leur utilisation comme diode de désaturation des transistors améliore nettement les performances temporelles : c'est la technologie TTL S (S pour *Schottky*).

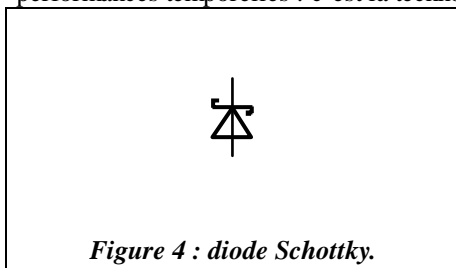


Figure 4 : diode Schottky.

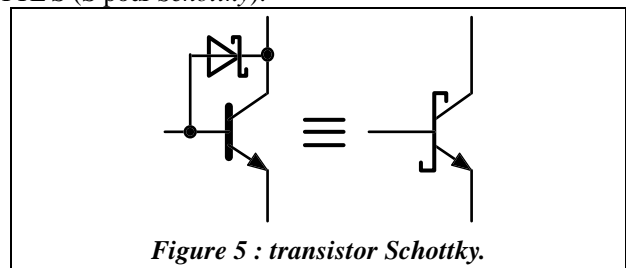


Figure 5 : transistor Schottky.

Le symbole d'une telle diode est donné à la Figure 4. Le transistor qui en est dérivé, dit Schottky, est à la Figure 5, tandis que la porte utilisant les nouveaux transistors est indiquée à la Figure 6. L'inconvénient des résistances de faible valeur demeure et handicape la consommation.

¹ Schottky (Walter), physicien allemand (1886-1976). Inventeur de la tétrode, explication du bruit de grenaille dans les amplificateurs, travaux sur les semi-conducteurs.

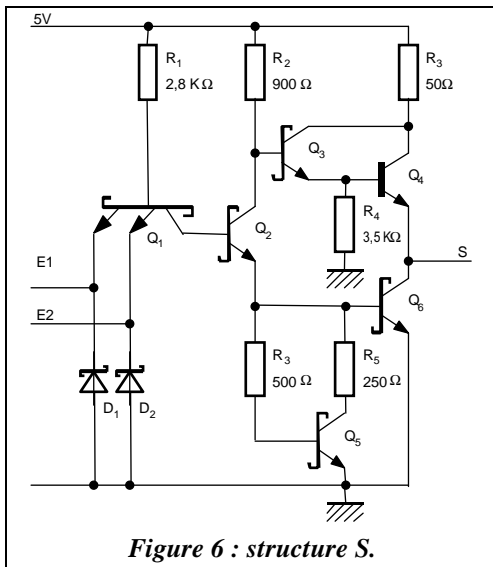


Figure 6 : structure S.

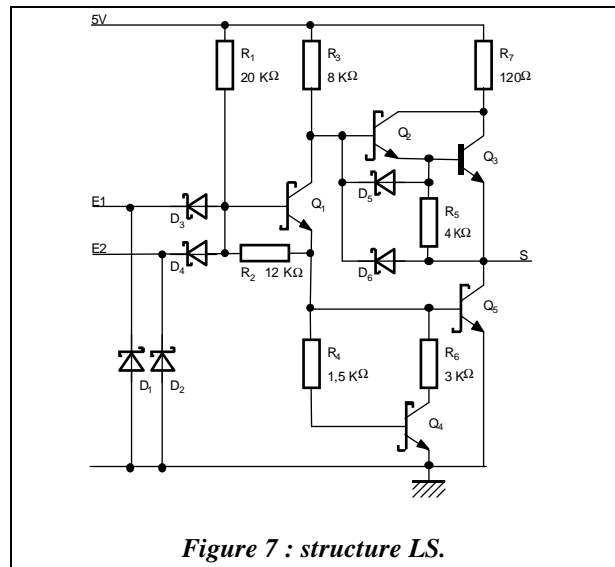


Figure 7 : structure LS.

II.4.4. Technologie TTL LS

Pour régler le problème de consommation de la technologie TTL S, on effectue un mixage avec le principe de la basse consommation des TTL L. Le résultat est la technologie TTL LS qui joue « sur les deux tableaux » de la consommation et de la vitesse.

La structure correspondante est donnée à la **Figure 7**. On remarquera une complexité accrue de la structure. Cette technologie restait cependant jusqu'à il y a encore peu de temps la TTL ordinaire (voir le cycle de vie des différentes technologies à la **Figure 18**).

II.4.5. Technologie TTL F

Dans le soucis toujours plus marqué de favoriser la rapidité des composants (toujours plus vite !), la technologie F (F pour *fast*) apporte sa contribution par l'emploi de transistors bipolaires plus rapides que la série S avec une consommation 5 fois plus faible environ.

II.4.6. Technologies TTL avancées : AS et ALS

Dérivées des technologies présentées précédemment, les technologies avancées (A pour *advanced*) mettent en œuvre les progrès récents en matière de circuits intégrés bipolaires (fin des années 80).

II.4.7. Performances comparées des technologies TTL

| | Std | L | S | LS | F | AS | ALS |
|-------------------------------------|--------------------------|-----|-----|-----|-----|------------|------------|
| Tension d'alimentation V_{CC} (V) | 5±5% (74_) ou ±10% (54_) | | | | | | |
| V_{OHmin} (V) | 2,4 | 2,4 | 2,7 | 2,7 | 2,7 | $V_{CC}-2$ | $V_{CC}-2$ |
| V_{IHmin} (V) | 2 | 2 | 2 | 2 | 2 | 2 | 2 |
| V_{OLmax} (V) | 0,4 | 0,3 | 0,5 | 0,5 | 0,5 | 0,5 | 0,4 |
| V_{ILmax} (V) | 0,8 | 0,8 | 0,8 | 0,8 | 0,8 | 0,8 | 0,8 |
| Retard de propagation (ns) | 9 | 33 | 3 | 9,5 | 6 | 3 | 5 |
| Consommation (mW) | 10 | 1 | 23 | 2 | 5 | 30 | 5 |
| Fréquence maximale (MHz) | 25 | 3 | 80 | 30 | 100 | | |

II.5. Les entrée et sorties particulières

II.5.1. Entrée trigger de Schmitt

L'ensemble Q_1Q_2 de la *Figure 8* (porte inverseuse 7414) et les résistances de polarisation constituent un trigger de schmitt à transistors.

Derrière D_3 , on retrouve les étages de sortie de tous types.

Rappel du symbole IEC : ⏏

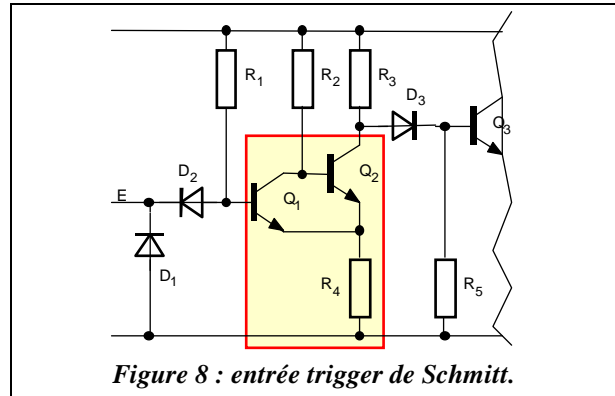


Figure 8 : entrée trigger de Schmitt.

II.5.2. Sortie bufférisée (amplifiée)

Cette configuration reprend assez largement la structure totem pole à la différence que le **transistor supérieur** est remplacé par un **assemblage Darlington**². Ceci a pour conséquence de conférer à ce transistor équivalent un fort gain et donc un **courant d'émetteur plus important**.

On remarquera aussi la disparition de la diode D_3 de la structure totem pole qui est en fait compensée par la diode base-émetteur du transistor supplémentaire.

Rappel du symbole IEC : ▷

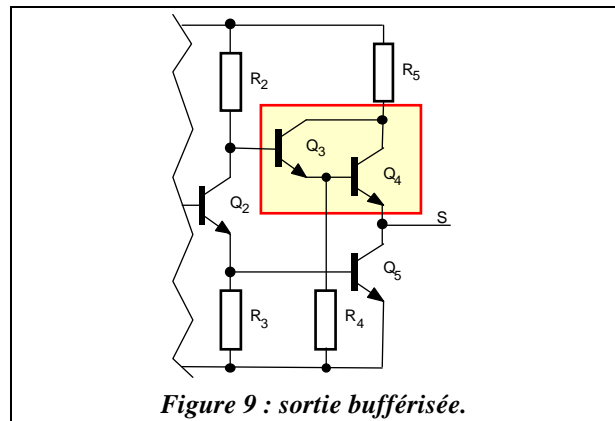


Figure 9 : sortie bufférisée.

II.5.3. Sortie collecteur ouvert

Sur cette sortie le transistor et la diode supérieurs ont été purement et simplement «gommés».

Il ne subsiste que le transistor inférieur qui attire le potentiel de la sortie à la masse.

Pour assurer un niveau logique 1 en sortie, il faut compléter la polarisation de Q_3 par une résistance de tirage à V_{cc} .

Rappel du symbole IEC : ◇ .

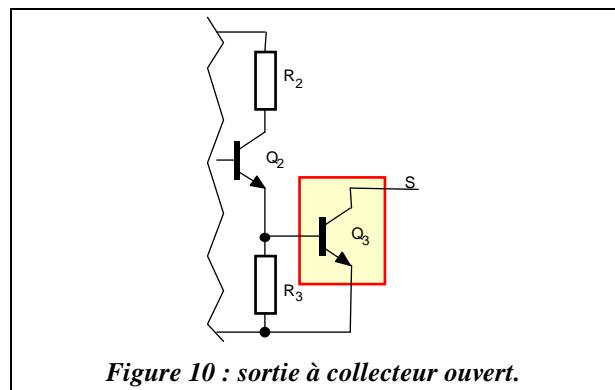


Figure 10 : sortie à collecteur ouvert.

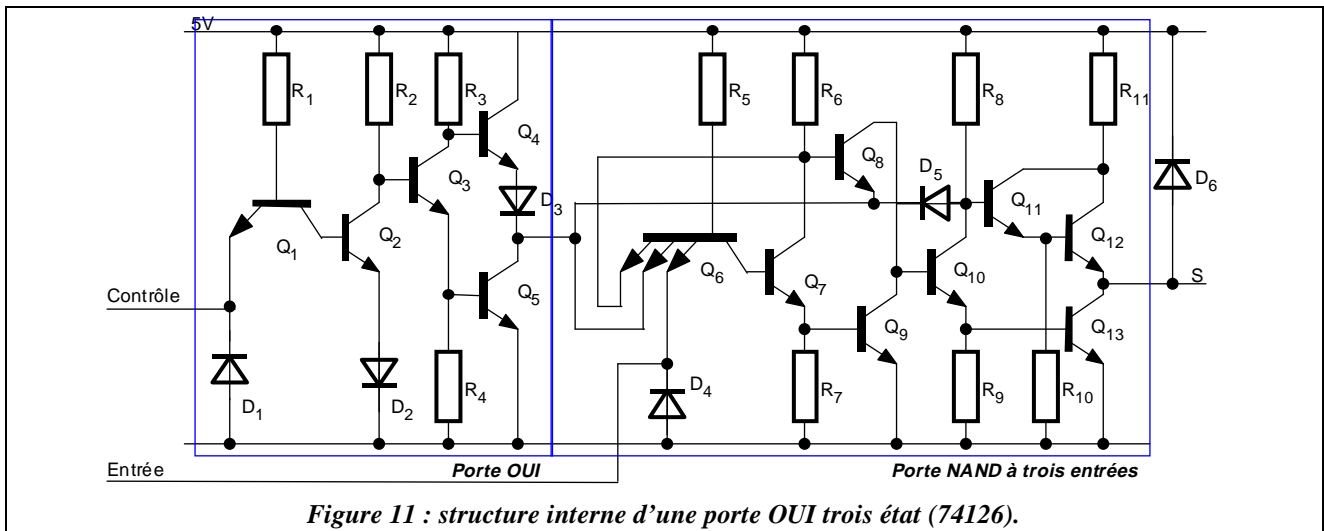
II.5.4. Sortie à trois états

Le principe de cette porte trois états apparaît dans le document « **Caractéristiques des circuits intégrés logiques** », paragraphe §V.3.

La structure de la porte doit assurer le blocage des deux transistors de la sortie *totem pole* pour assurer l'état haute impédance lorsque l'entrée de validation est inactive. Dans ces conditions, la borne est « flottante », c'est à dire qu'elle n'impose aucun potentiel. Pour obtenir cela, en examinant la *Figure 11*, l'entrée de validation (contrôle) placée à « 0 » assure le blocage à travers une porte OUI interne des transistors Q_{11} et Q_{13} . On remarquera la sortie géré par un montage Darlington pour assurer la caractéristique « amplification ».

On rappelle qu'une sortie trois états est repérée par un symbole (▽) placé en regard de la sortie.

² Darlington (),



III. Familles CMOS

III.1. La technologie CMOS

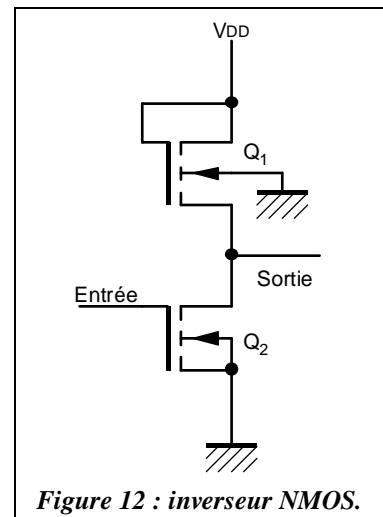
III.1.1. Inverseur NMOS

L'assemblage de la **Figure 12** assure que le canal de Q_1 est toujours ouvert (transistor passant) car sa grille est polarisée positivement.

Si $V_{entrée} = 0$, alors le canal de Q_2 est fermé (transistor bloqué). Sa résistance de canal est très élevée. En conséquence, le potentiel de la sortie est proche de V_{DD} .

Si $V_{entrée} = V_{DD}$, Q_2 est passant. En supposant les transistors identiques, la tension de sortie serait moitié de celle d'alimentation. En fait le transistor Q_2 est construit pour avoir une résistance de canal environ 100 fois plus faible que celle de Q_1 . Il en résulte que le potentiel de la sortie est proche de 0V.

Le fonctionnement obtenu est celui d'un inverseur.



III.1.2. Inverseur CMOS

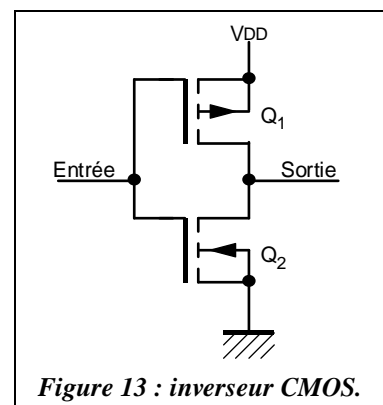
Dans le paragraphe précédent, on a envisagé la réalisation des opérateurs à transistors NMOS exclusivement. Mais en utilisant des transistors des deux types, assemblés systématiquement par paires, on obtient des structures CMOS (*Complementary MOS*).

La **Figure 13** montre le transistor MOS à canal N associé à un MOS à canal P pour former une paire d'interrupteurs complémentaires (lorsque l'un est ouvert, l'autre est fermé, et réciproquement).

Si $V_{entrée} = 0$, alors le transistor Q_1 équivalent à un interrupteur fermé tandis que Q_2 est équivalent à un interrupteur ouvert. Le potentiel de la sortie est alors proche de V_{DD} .

Si $V_{entrée} = V_{DD}$, alors le comportement est inverse si bien que la tension de sortie est alors proche de 0.

Le fonctionnement obtenu caractérise celui d'un inverseur.



III.1.3. Autre structure : opérateur NAND CMOS

La structure de la **Figure 14** présente un opérateur NAND CMOS à deux entrées. Son étude est présentée de manière synthétique dans le **Tableau 1**.

| Tensions d'entrée | | Etat des transistors | | | | Tension de sortie |
|-------------------|----------|----------------------|----------------|----------------|----------------|-------------------|
| E1 | E2 | Q ₁ | Q ₂ | Q ₃ | Q ₄ | |
| 0 | 0 | P | P | B | B | V_{DD} |
| 0 | V_{DD} | P | B | B | P | V_{DD} |
| V_{DD} | 0 | B | P | P | B | V_{DD} |
| V_{DD} | V_{DD} | B | B | P | P | 0 |

Tableau 1

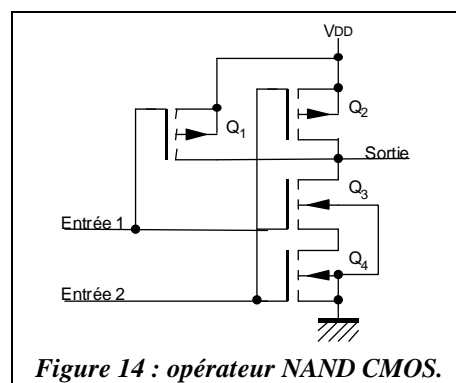


Figure 14 : opérateur NAND CMOS.

III.1.4. Protection des entrées

La commande en tension des transistors MOS offre un avantage notable. Mais la pellicule isolante au niveau de la grille est très mince ce qui la rend très sensible aux surtensions surtout électrostatiques. Cet effet provoque le claquage de l'isolant et la destruction du transistor surtout lors des manipulations.

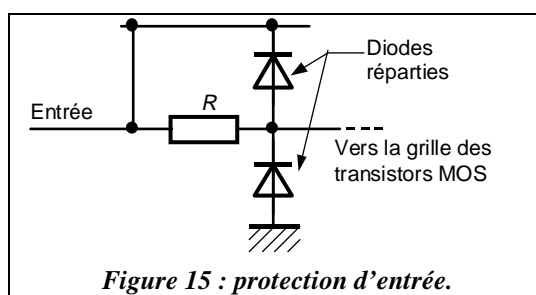


Figure 15 : protection d'entrée.

Pour se prémunir de se risquer, les entrées sont associées à un circuit de protection contre les surtensions comme l'indique la **Figure 13**. Cette insensibilité aux surtensions est obtenue au détriment du courant consommé par la porte.

III.2. Les familles CMOS

III.2.1. Caractéristiques des séries CMOS

La tension d'alimentation (souvent notée V_{DD}) de ces circuits peut être choisie entre 3 et 18 V contrairement aux 5 V de la TTL. Ceci permet une immunité au bruit plus importante et assure une adaptation aisée en cas d'utilisation de composants TTL.

En CMOS, les niveaux logiques correspondent pratiquement aux tensions extrêmes : 0V pour « 0 » et V_{DD} pour « 1 ». Ceci est dû aux faibles chutes de tension dans les transistors. Les valeurs limites des tensions sont fixées par rapport à la tension d'alimentation (**Tableau 2**). On remarquera que ces niveaux sont bien moins contraignants qu'en TTL. Ces valeurs justifient aussi l'affirmation sur l'immunité au bruit : 30% de V_{DD} dans tous les cas et que l'on augmente en élevant la tension d'alimentation.

| | Minimum | Maximum |
|----------|--------------|--------------|
| V_{DD} | 3 V | 18 V |
| V_{OH} | V_{DD} | — |
| V_{IH} | 70% V_{DD} | — |
| V_{OL} | — | 0 V |
| V_{IL} | — | 30% V_{DD} |

Tableau 2 : niveaux de tension en technologie CMOS.

En raison des résistances élevées donc des courants proches de 0, la consommation statique des CMOS est pratiquement nulle (qq nW). Les CMOS sont les champions de la très faible consommation ! Dès que la fréquence augmente, le nombre de commutations s'élève et la puissance dissipée augmente proportionnellement (de l'ordre du mW à 1 MHz).

Le problème de la sortance ne provient pas de la charge imposée à la sortie d'une porte puisque les courants sont très faibles. Par contre la multiplication des entrées connectées à une sortie augmente la capacité de charge et donc les temps de propagation lors des commutations. On admet une sortance de 50 environ en basse fréquence. Lorsque la fréquence augmente cette sortance diminue.

Dernier point, si une entrée est inutilisée, il est impératif de la relier au potentiel qui la rend inactive. Laissée en l'air, elle pourrait capter des signaux parasites auxquels elle est très sensible. Sur ce même point, les entrées sont protégées par un ensemble de diodes contre les décharges d'électricité statique qui détruisent les transistors.

III.2.2. La série 4000 : l'ancêtre

Cette série est la plus ancienne. Elle apparaît aussi dans la série 74C mais avec les mêmes numéros de boîtier et le même brochage qu'en TTL (compatibilité de brochage). Elle appartient désormais au passé.

III.2.3. Séries AC et ACT : l'amélioration de la technologie CMOS

La série AC (*Advanced Cmos*) est l'évolution de la série de C de base. Le suffixe T indique la compatibilité des entrées et sorties avec les séries TTL.

III.2.4. Séries HC, HCT, AHC et AHCT : la technologie CMOS rapide

Les séries disposant du suffixe H (*High speed*) sont fondées sur la technologie CMOS rapide. Elles existent dans les différentes déclinaisons suivant qu'elles sont avancées (A), compatibles TTL (T) ou combinant ces caractéristiques.

III.2.5. Séries LV, LVC, LVT et ALVC : la faible tension

Avec le développement de l'électronique dans les ensembles portables (mobiles, montres) utilisent des sources d'alimentation (piles ou batteries) basse tension (de l'ordre de 3 V). La nouvelle technologie LV (*Low Voltage*) permet de travailler sous 3,3 V. Elle permet aussi de diminuer la taille des transistors sur le substrat (technologie < 1 µm) pour augmenter la densité d'intégration. La série LVT est une version compatible TTL (technologie BiCMOS 0,8 µm).

III.2.6. ABT et ALB : la technologie BiCMOS

Le préfixe B est relatif à la technologie BiCMOS qui mixte l'emploi de transistors bipolaires (Bi) et CMOS. Les bipolaires apportent leur rapidité et leur capacité à piloter des courants importants. Les CMOS complètent les structures en améliorant la densité d'intégration (distances entre liaisons allant de 0,8 à 0,3µm), pour permettre une complexités accrue, et leur faible consommation.

La technologie ABT (*advanced BiCMOS technology*) supporte des courants jusqu'à 64 mA avec des retards de propagation de l'ordre de 5 ns pour une consommation très basse. La version ALB est la version BiCMOS basse consommation.

III.3. Entrées et sorties particulières

En CMOS, on retrouve les entrées et sorties équivalentes à la technologie TTL qui reposent sur des solutions propres aux transistors MOS. On peut maintenant adjoindre une nouvelle fonction telle que la **porte de transmission** qui est un interrupteur unidirectionnel commandé par un signal logique.

III.4. Performances comparées des CMOS

| | 4000B | HC | HCT | AC | ACT | LVC | LVT |
|-------------------------------------|--------|-------|-------|------------------------|---------------------|------------------------|---------|
| Tension d'alimentation V_{CC} (V) | 3 – 15 | 2 – 6 | 5±10% | 2 – 6 | 5 | 2–3,6 | 2,7–3,6 |
| V_{OHmin} (V) | 4,9 | 4,9 | 4,9 | 4,76 ⁽¹⁾⁽²⁾ | 4,76 ⁽²⁾ | 2,2 ⁽¹⁾⁽²⁾ | 2 |
| V_{IHmin} (V) | 2 | 3,5 | 2 | 3,85 ⁽¹⁾ | 2 | 2 | 2 |
| V_{OLmax} (V) | 0,1 | 0,1 | 0,1 | 0,44 ⁽¹⁾⁽²⁾ | 0,44 ⁽²⁾ | 0,55 ⁽¹⁾⁽²⁾ | 0,55 |
| V_{ILmax} (V) | 0,8 | 0,8 | 0,8 | 1,65 ⁽¹⁾ | 0,8 | 0,8 | 0,8 |
| Retard de propagation (ns) | 40 | 14 | 15 | 6 | 5 | 2,5 | 3,5 |
| Consommation à 100kHz (mW) | 0,1 | 0,075 | | <1 | <1 | | |
| Fréquence maximale (MHz) | 12 | | | | | | 150 |

⁽¹⁾ à $V_{CC} = 5,5$ V ou $V_{CC} = 3$ V en basse tension.

⁽²⁾ à $I_{OH} = -24$ mA à l'état haut ou $I_{OL} = 24$ mA à l'état bas.

IV. Interfaçage

Le terme interfaçage regroupe les notions de liaison d'un système (par ses sorties) à un autre (par ses entrées) ayant des caractéristiques électriques différentes. Dans le cas des TTL et des CMOS, la connexion directe est rarement possible.

Le circuit d'interface est adapté pour recevoir les informations du montage amont et les transmettre de manière compatible au montage aval.

IV.1. TTL pilote CMOS

La résistance d'entrée des CMOS est très élevée, si bien que la tension de commande TTL ne varie pratiquement pas. Rien ne s'oppose donc à la liaison si $V_{DD} = 5\text{ V}$ mis à part le fait que la tension TTL V_{OHmin} est très proche de la tension V_{IHmin} de la porte CMOS. Il faut donc garantir un tirage à V_{DD} comme le représente la **Figure 16**.

Si les tensions sont différentes, il faut éviter que la TTL « fréquente » une tension supérieure à 5 V en intercalant une porte OUI à collecteur ouvert dont la sortie est tirée à V_{DD} par une résistance (**Figure 17**).

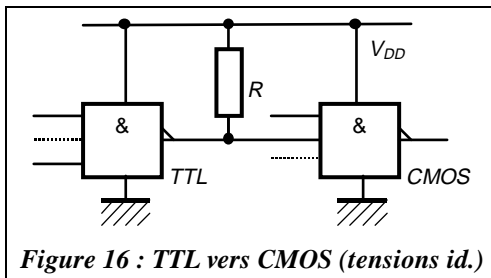


Figure 16 : TTL vers CMOS (tensions id.)

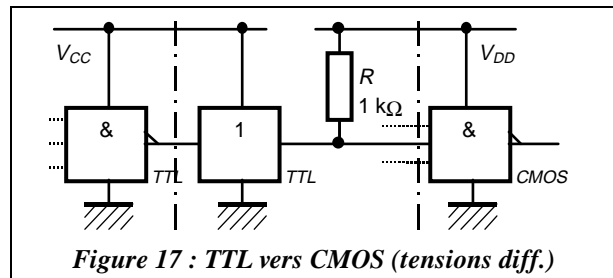


Figure 17 : TTL vers CMOS (tensions diff.)

IV.2. CMOS pilote TTL

À l'état haut, le courant absorbé par une entrée TTL est très faible, ce qui ne chargera que faiblement la sortie CMOS. La tension V_{OH} variera très peu et la liaison pourra donc être directe.

À l'état bas, le courant absorbé par une porte TTL I_{IL} est plus élevé ($\approx \text{mA}$). En circulant dans la résistance de canal du transistor MOS de sortie, la somme des courants crée une chute de tension V_{OL} qui peut être supérieure à V_{ILmax} ne garantissant plus un niveau logique « 0 ». On résout ce problème en insérant un circuit intermédiaire dont la sortie est à collecteur ouvert. Cette solution permet aussi effectuer l'adaptation de tension.

V. Conclusion

Cet aperçu des différentes technologies ne donne pas suffisamment d'informations sur leur évolution. Entre la recherche des performances (rapidité et consommation), la compatibilité, la prise en compte de la disponibilité et des coûts, les paramètres sont nombreux dans une perspective de conception et de production de systèmes industriels. L'évolution des composants numériques (et des autres aussi) est par conséquent un facteur essentiel à observer attentivement. Pour illustrer cela, la **Figure 18** indique le cycle de vie des technologies (technologies d'hier et d'aujourd'hui) et la **Figure 19** qui présente un comparatif des performances des différentes technologies (Le courant piloté et le temps de réponse).

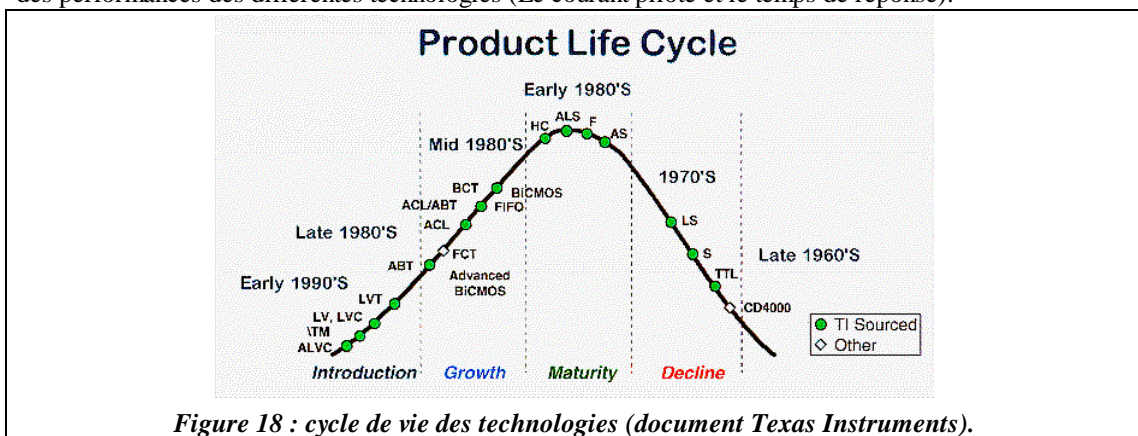
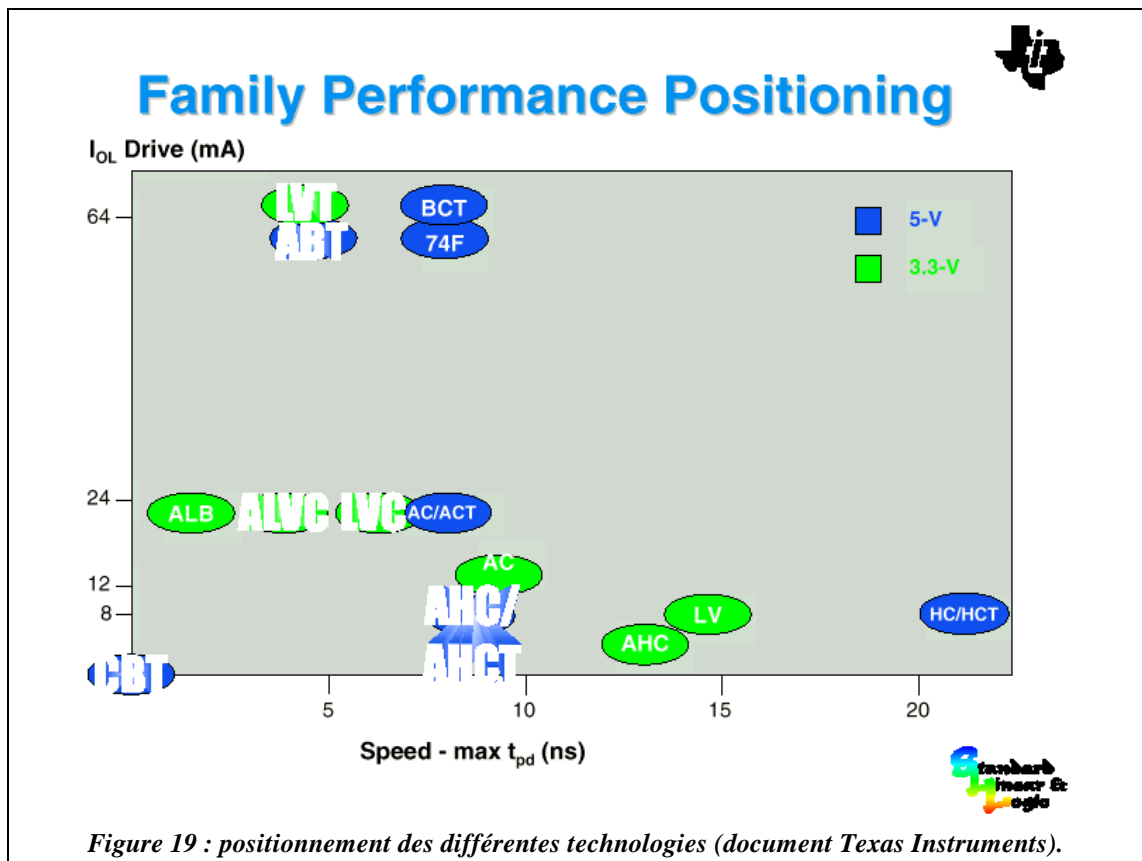


Figure 18 : cycle de vie des technologies (document Texas Instruments).



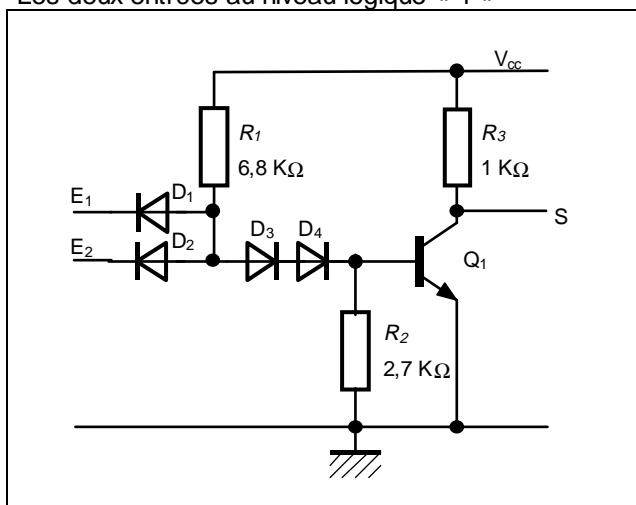
VI. Bibliographie

- **Circuits numériques — Théorie et applications.** Ronald J. Tocci. Editions Ellipses. Collection INT. 1986. ISBN 2-7298-8650-8.
- **Electronique — Tome 2.** J.-D. Chatelain, R. Dessoulavy. Collection T3E. Dunod. 1981. ISBN 2-04-015679-8.
- **Guide du technicien en électronique.** C. Cimelli et R. Bourgeron. Hachette Technique. ISBN 2-01-16-6868-9.
- **Données Texas Instruments :** data book, site ftp <http://ftp.ti.com/sc/docs> et document « **Logic selection guide - Fourth quarter 1997** ».

Annexe 1 : fonctionnement de la structure DTL

Document à compléter

Les deux entrées au niveau logique « 1 »



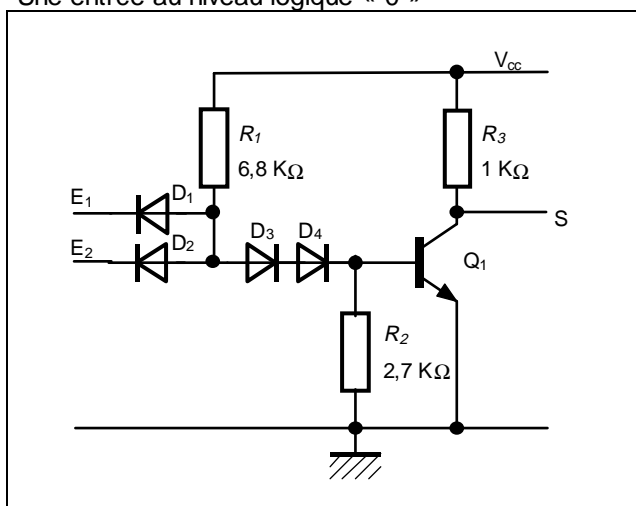
Les diodes D_1 et D_2 sont bloquées.

Un courant circule dans R_1 , D_3 , D_4 et R_2 polarisant le transistor Q_1 qui devient passant.

Le potentiel de la masse est alors ramené à la sortie S (à la chute de tension V_{sat1} près). Donc : $V_s \approx 0V$.

Sortie : niveau logique bas (0).

Une entrée au niveau logique « 0 »



L'une au moins des deux entrées est reliée à la masse (NLO) et l'autre à V_{CC} .

Un courant circule à travers R_1 et (D_1 ou D_2). Le groupe D_3 , D_4 et R_2 est donc polarisé par une tension de seuil de diode (environ $0,7V$). Les diodes D_3 et D_4 sont bloquées polarisant la base de Q_1 par une tension nulle. Le transistor Q_1 est bloqué (interrupteur ouvert).

Aucun courant ne circule dans le circuit collecteur-émetteur de Q_1 . La sortie est à un potentiel proche de V_{CC} (à la chute de tension près dans R_3).

Sortie : niveau logique haut (1).

Conclusion :

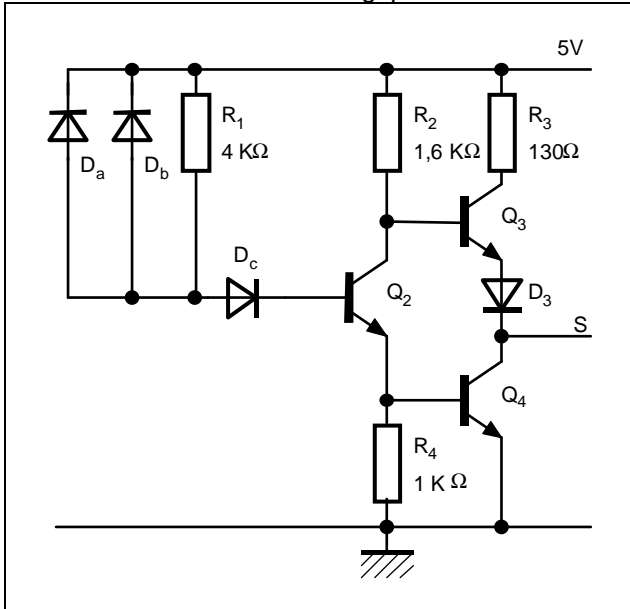
Remarque : si les entrées sont en l'air, la sortie est au niveau logique 0.

Annexe 2 : fonctionnement de la structure TTL

Document à compléter

Après remplacement du transistor multi-émetteur par son équivalent à diodes.

Les deux entrées au niveau logique « 1 »



Les diodes D_a et D_b sont bloquées.

D_c est passante. Un courant circule à travers R_1 et D_c .

Ce dernier sature Q_2 (interrupteur fermé).

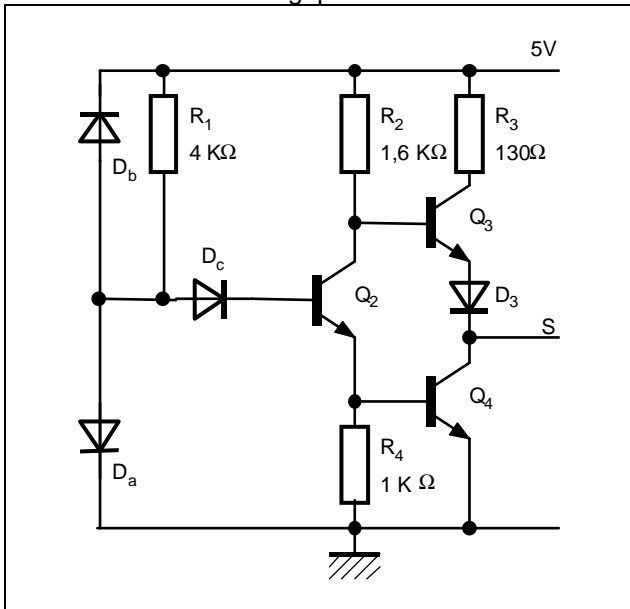
Un courant est autorisé à travers R_2 , Q_2 et R_4 .

Q_4 est saturé donc $V_{CE4} = V_{CEsat4} \approx 0$.

Parallèlement, $V_{sat2} = V_{D3} + V_{BE3} + V_{CB4}$ donc Q_3 est bloqué et $V_s \approx 0$.

Sortie : niveau logique bas (0).

Une entrée au niveau logique « 0 »



Un courant traverse R_1 et D_a car cette dernière est passante et D_b bloquée.

D_c est bloquée car la tension V_{Da} de 0,7V se répartie en V_{Dc} , V_{BE2} et V_{R4} .

Q_2 est donc bloqué (inter fermé) puisque $i_{b2} \approx 0$.

En conséquence $i_{b4} \approx 0$. Q_4 est bloqué.

i_{b3} circule dans R_2 saturant Q_3 .

Puisque D_3 est polarisée en direct, le potentiel de la sortie est V_{cc} diminuée des chutes de tension V_{R4} ,

V_{CEsat4} et V_{D3} .

V_s vaut de 3,5 à 4 V.

Sortie : niveau logique haut (1).